



Video Tracking and Image Processing Cores

D-MOT-10 FPGA IP ЯДРО ОБНАРУЖЕНИЯ ДВИЖУЩИХСЯ ОБЪЕКТОВ НА ИЗОБРАЖЕНИЯХ В ВИДЕОПОТОКЕ

FPGA IP ядро обнаружения движущихся объектов на изображениях в видеопотоке D-MOT-10 представляет собой законченный модуль, предназначенный для использования в системах технического зрения различного назначения (охранные системы, специализированные системы и др.), построенных на основе FPGA. Ядро имеет простой интерфейс обмена информацией, что позволяет его легко интегрировать в проекты. В ядре реализован высокопроизводительный алгоритм обнаружения движущихся объектов любых типов и формы (наземных, надводных и воздушных). Реализованные алгоритмы обеспечивают обнаружение малоразмерных и малоконтрастных движущихся объектов на сложном фоне. При обнаружении объекта ядро присваивает ему уникальный номер и определяет направление движения. Это позволяет легко отслеживать поведение объектов и строить эффективные аналитические системы обработки изображений (охрана периметра, контроль автомобильного трафика и др.). При обнаружении движущегося объекта рассчитывается его траектория движения и в случае его пропадания из поля зрения (например за препятствием) ядро осуществляет прогнозирование траектории и последующее повторное обнаружение в случае его появления. Возможно одновременное обнаружение до 128 движущихся объектов. IP ядро D-MOT-10 – это универсальный модуль, позволяющий применять его в любых проектах FPGA для систем технического зрения.

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Max количество одновременно обнаруживаемых движущихся объектов до **128**.

Max размеры обнаруживаемого объекта ограничены только размером изображения.

Min размеры обнаруживаемого объекта составляют **8x8** пикселей.

Max скорость перемещения объекта для устойчивого обнаружения составляет **30** пикселей за кадр. **Min** скорость перемещения объекта для устойчивого обнаружения составляет **0.1** пиксель за кадр.

Устойчивое обнаружение движущихся объектов с кон-

трастом до **10%**.

Max размеры кадров до **720x576** пикселей. Для изображений большего размера можно использовать несколько ядер параллельно.

Точность выходных координат составляет **1** пиксель.

Задержка выходных координат составляет **1** кадр.

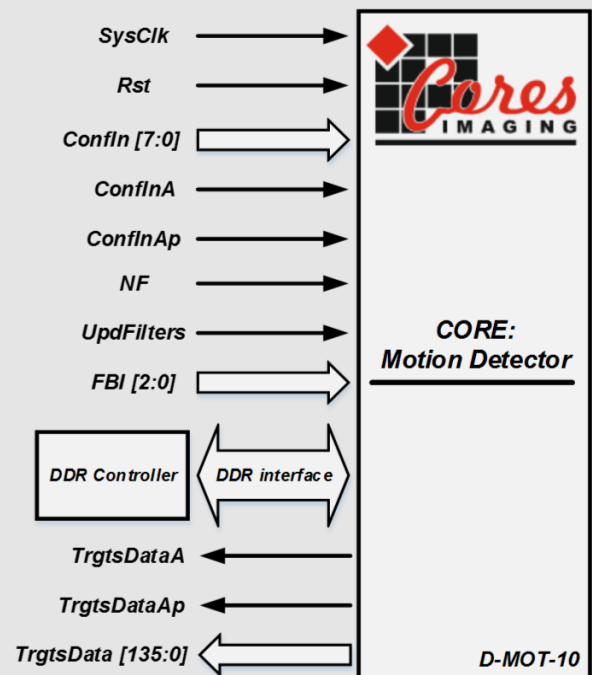
Обработка монохромных изображений с разрядностью **8 bit** на пиксел.

Форма обнаруживаемых объектов может быть любой в пределах изображения.

Выходной информацией по обнаруженным объектам является **положение строка обнаружения**, его уникальный **номер** и **направление движения**.

ИНТЕРФЕЙС ВЗАИМОДЕЙСТВИЯ

На рисунке представлен интерфейс взаимодействия ядра с проектом FPGA.



SysCik — тактовый сигнал ядра. Все сигналы синхронизируются с ним.

Rst — сигнал сброса ядра.

Confln[7:0], ConflnA, ConflnAp — интерфейс записи конфигурационных регистров.

NF — сигнал нового кадра.

UpdFilters — сигнал сброса фильтров ядра.

FBI[2:0] — индекс текущего буфера кадра.

DDR interface — интерфейс взаимодействия с контроллером памяти DDR Xilinx®.

TrgtsData[135:0], TrgtsDataA, TrgtsDataAp — интерфейс выдачи информации по обнаруженным движущимся объектам.

Конфигурирование ядра (запись конфигурационных регистров) осуществляется до начала работы. Кроме того запись конфигурационных регистров можно осуществлять во время работы ядра при необходимости изменения параметров. Ядро выдает для каждого обнаруженного объекта координаты углов строба обнаружения, присвоенные ему уникальный номер и направление движения в виде составляющих скорости в экранной системе координат. Информация обо всех обнаруженных объектах передается до окончания обработки очередного кадра видеопоследовательности. Более подробную информация по интерфейсу взаимодействия можно найти в документе *Programmer_Manual*.

ПРИНЦИП РАБОТЫ

Ядро соединено с контроллером интерфейса памяти DDR по унифицированному интерфейсу (предоставляется фирмой Xilinx®). Из памяти DDR ядро читает текущие изображения видеопоследовательности и записывает результаты работы. Разработчик должен обеспечить обновление кадров изображений в памяти DDR по многобуферному принципу (многократная буферизация). Перед началом работы ядро должно быть сконфигурировано (записаны значения конфигурационных регистров). Наблюдаемая сцена (сцена в изображениях видеопоследовательности) должна быть неподвижна. После инициализации ядра (включения ядра) ему необходимо некоторое время (2-3 минуты) для адаптации к наблюдаемой сцене. На протяжении этого времени алгоритмы ядра инициализируют фильтры и формируют карту постоянно перемещающихся объектов (например колебания изображений верхушек деревьев под воздействием ветра). После того, как произошла адаптация всех фильтров ядра, все движущиеся объекты на изображениях видеопоследовательности будут обнаружены с высокой степенью достоверности. При этом, только объекты имеющие определенную траекторию движения (не случайное перемещение в плоскости изображения) будут обнаружены. При обнаружении движущегося объекта, алгоритмы ядра определяют его размеры и присваивают ему уникальный числовой номер, который может использоваться в дальнейшей обработке вне ядра. Ядро выдает информацию об обнаруженных движущихся объектах для каждого кадра видеопоследовательности. Для каждого обнаруженного объекта выдаются

координаты углов строба обнаружения в плоскости изображения, присвоенный ему числовой номер, а также направление его перемещения, что позволяет строить эффективные системы контроля периметра и анализа трафика автотранспорта.

ПОДДЕРЖИВАЕМЫЕ ПЛАТФОРМЫ

Ядро может применяться в любых областях технического зрения, как в охранных системах видеонаблюдения, так и в специальных роботизированных системах технического зрения. Простой интерфейс обмена информацией с ядром позволяет легко интегрировать его в любой проект FPGA. Ядро D-MOT-10 синтезируется для платформ фирмы Xilinx® и поставляется по заказу с указанием типа FPGA Xilinx®. Ядро передается заказчику в синтезированном виде для конкретного типа FPGA по лицензии. Поддерживаются следующие семейства **FPGA Xilinx®**:

Artix-7, Artix-7Q, Kintex-7, Kintex-7Q, Virtex-7, Virtex-7Q, EasyPath-7, Virtex-6, Virtex-6Q, EasyPath-6, Spartan-6, Virtex-5Q, Virtex-5QV, Virtex-4Q, Virtex-4QV, XA Spartan-6, XA Spartan-3A, XA Spartan-3A DSP, XA Spartan-3E.

ТРЕБУЕМЫЕ РЕСУРСЫ

В таблице перечислены требуемые IP ядру D-MOT-10 ресурсы для некоторых типов **FPGA Xilinx®**.

Тип FPGA	Slice Registers	DSP	Block Memory
Artix-7 XC7A100T-3	5114 (4%)	11 (4%)	40 (29%)
Kintex-7 XC7K410T-2L	5113 (<1%)	11 (1%)	40 (5%)
Virtex-7 XC7VX330T-2L	5113 (<1%)	11 (<1%)	40 (5%)
Virtex-7 XC7V2000T-2L	5113 (<1%)	11 (<1%)	40 (3%)
Virtex-6 XC6VLX240T-2	5116 (1%)	11 (1%)	40 (9%)
Spartan-6 XC6SLX150T-3	5206 (2%)	13 (7%)	31 (11%)
Zenq-7 XC7Z045-2	5113 (<1%)	11 (<1%)	40 (7%)

Примечание: данные могут различаться в зависимости от особенностей конкретного проекта.

КОНТАКТЫ

ООО «РИФТЭК» — частное предприятие, занимающееся разработкой и производством оптоэлектронных приборов для измерения геометрических величин.

Адрес: 220090, Республика Беларусь, г. Минск, Логойский тракт 22-311

Тел./факс: +375 17 281-35-13; +375 17 281-36-57

GSM: +375 29 655-72-55

e-mail: info@riftek.com; sales@riftek.com

