

**FPGA IP ЯДРО ОБНАРУЖЕНИЯ ДВИЖУЩИХСЯ ОБЪЕКТОВ
НА ИЗОБРАЖЕНИЯХ В ВИДЕОПОТОКЕ
D-MOT-10**



14.12.2013

ОГЛАВЛЕНИЕ

ВВЕДЕНИЕ	2
ВЕРСИИ ЯДРА	2
ОСНОВНЫ ХАРАКТЕРИСТИКИ	2
ССЫЛКИ	3
ЧАСТЬ 1 ОБЗОР ЯДРА.....	4
ОПИСАНИЕ И ПРИНЦИП РАБОТЫ.....	4
ОБЛАСТЬ ПРИМЕНЕНИЯ И ИСПОЛЬЗУЕМЫЕ ПЛАТФОРМЫ	4
ПОСЛЕДОВАТЕЛЬНОСТЬ ИСПОЛЬЗОВАНИЯ.....	5
ЧАСТЬ 2 СПЕЦИФИКАЦИИ ЯДРА	5
ПРОИЗВОДИТЕЛЬНОСТЬ.....	5
ТРЕБУЕМЫЕ РЕСУРСЫ.....	8
ТРЕБОВАНИЯ К ОРГАНИЗАЦИИ ПРОЕКТА FPGA.....	8
ОПИСАНИЕ ИНТЕРФЕЙСА.....	9
КОНФИГУРИРОВАНИЕ ЯДРА	13
УПРАВЛЕНИЕ РЕЖИМАМИ РАБОТЫ.....	16
ВЫХОДНАЯ ИНФОРМАЦИЯ.....	16
ЧАСТЬ 3 РАБОТА С ЯДРОМ	18
ПОДКЛЮЧЕНИЕ ЯДРА К ПРОЕКТУ FPGA.....	18
КОНТАКТЫ	19

ВВЕДЕНИЕ

FPGA IP ядро обнаружения движущихся объектов на изображениях в видеопотоке D-MOT-10 представляет собой законченный модуль, предназначенный для использования в системах технического зрения различного назначения (охранные системы, специализированные системы и др.), построенных на основе FPGA. Ядро имеет простой интерфейс обмена информацией, что позволяет его легко интегрировать в проекты. В ядре реализован высокопроизводительный алгоритм обнаружения движущихся объектов любых типов и формы (наземных, надводных и воздушных). Реализованные алгоритмы обеспечивают обнаружение малоразмерных и малоконтрастных движущихся объектов на сложном фоне. При обнаружении объекта ядро присваивает ему уникальный номер и определяют направление движения. Это позволяет легко отслеживать поведение объектов и строить эффективные аналитические системы обработки изображений (охрана периметра, контроль автомобильного трафика и др.). При обнаружении движущегося объекта рассчитывается его траектория движения и в случае его пропадания из поля зрения (например за препятствием) ядро осуществляет прогнозирование траектории и последующее повторное обнаружение в случае его появления. Возможно одновременное обнаружение до 128 движущихся объектов. IP ядро D-MOT-10 – это универсальный модуль, позволяющий применять его в любых проектах FPGA для систем технического зрения.

ВЕРСИИ ЯДРА

Версии IP ядра D-MOT-10 приведены в таблице 1.

Таблица 1 – Версии IP ядра D-MOT-10.

Версия	Примечания
1.0	Первая версия IP ядра. Реализован высокопроизводительный алгоритм обнаружения движущихся объектов на изображениях видеопоследовательности.

ОСНОВНЫ ХАРАКТЕРИСТИКИ

IP ядро D-MOT-10 обеспечивает обнаружение движущихся объектов на изображениях видеопоследовательности. Основные характеристики ядра приведены в таблице 2.

Таблица 2 – Основные характеристики IP ядра D-MOT-10.

Параметр	Значение и примечания
Режим обнаружения	Автоматическое обнаружение движущихся объектов на основе сравнения последовательности кадров в видеопотоке.
Максимальное число одновременно обнаруживаемых объектов	Ядро обеспечивает одновременное обнаружение до 128 движущихся объектов на изображениях видеопоследовательности. Диапазон уникальных номеров, присваиваемых объектам от 0 до 127 включительно.
Максимальные размеры обнаруживаемого объекта	Максимальные размеры обнаруживаемого объекта ограничены размерами обрабатываемой области (размерами буфера кадра).

Параметр	Значение и примечания
Минимальные размеры обнаруживаемого объекта	Ядро обеспечивает устойчивое обнаружение движущихся объектов размерами от 8x8 пикселей в области изображения.
Максимальная и минимальная скорость перемещения обнаруживаемого объекта	При скачкообразном изменении положения сопровождаемого объекта максимальная скорость перемещения движущегося объекта составляет не более 30 пикселей за кадр в любом направлении. Минимальная – 0.1 пиксел за кадр в любом направлении.
Минимальный контраст обнаруживаемых объектов	Ядро обеспечивает устойчивое обнаружение движущихся объектов с контрастом от 10%.
Максимальные размеры кадров	Ядро обеспечивает работу кадрами размеров до 720x576 пикселей. По желанию заказчика ядро может быть синтезировано для размеров кадров до 5120x5120 пикселей. При необходимости обработки больших изображений рекомендуется использовать несколько ядер параллельно.
Вытянутость сопровождаемых объектов	Конфигурация обнаруживаемых объектов может быть любой.
Точность выходных координат	Выходные координаты сопровождаемых объектов имеют точность в 1 пиксел.
Задержка выходных координат	При частоте обновления кадров 25 Гц ядро успевает рассчитать экстраполированные координаты объектов до окончания следующего кадра видеопоследовательности (задержка в 1 кадр).
Время от инициализации ядра до устойчивого обнаружения	После инициализации ядра ему необходимо 2-3 минуты для адаптации к текущим условиям наблюдения, при условии неподвижности поля зрения камеры.
Формат обрабатываемых изображений	Ядро работает с изображениями, содержащими цветовую палитру из 256 градаций серого – 8 бит на пиксел.
Условия функционирования	Наблюдаемая сцена, содержащаяся в последовательности изображений должна быть неподвижна (поле зрения устойчиво и не перемещается во времени)

Примечание: данные приведены для FPGA Xilinx Spartan-6 XC6SLX150T-3.

ССЫЛКИ

Документацию на IP ядро D-MOT-10 можно скачать по следующим ссылкам:
[Информационный лист](#), [Programmer Manual](#)

[Каталог доступных IP ядер](#)

Сделать заказ IP ядра можно, написав на e-mail: info@riftek.com, sales@riftek.com.

ЧАСТЬ 1 ОБЗОР ЯДРА

ОПИСАНИЕ И ПРИНЦИП РАБОТЫ

Ядро представляет собой законченный модуль, предназначенный для использования в проектах FPGA систем технического зрения. Ядро работает по следующему принципу. Ядро соединено с контроллером интерфейса памяти DDR по унифицированному интерфейсу (предоставляется Xilinx®) из которой оно читает текущие изображения видеопоследовательности и записывает результаты работы. Разработчик должен обеспечить обновление кадров изображений в памяти DDR по многобуферному принципу (многократная буферизация). Перед началом работы ядро должно быть сконфигурировано (записаны значения конфигурационных регистров). Наблюдаемая сцена (сцена в изображениях видеопоследовательности) должна быть неподвижна. После инициализации ядра (включения ядра) ему необходимо некоторое время (2-3 минуты) для адаптации к наблюдаемой сцене. На протяжении этого времени алгоритмы ядра инициализируют фильтры и формируют карту постоянно перемещающихся объектов (например колебания изображений верхушек деревьев под воздействием ветра). На протяжении этого времени возможны ошибочные обнаружения. После того, как произошла адаптация всех фильтров ядра, все движущиеся объекты на изображениях видеопоследовательности будут обнаружены с высокой степенью достоверности. При этом, только объекты имеющие определенную траекторию движения (не случайное перемещение в плоскости изображения) будут обнаружены. При обнаружении движущегося объекта, алгоритмы ядра определяют его размеры и присваивают ему уникальный числовой номер, который может использоваться в дальнейшей обработке вне ядра. Ядро выдает информацию об обнаруженных движущихся объектах для каждого кадра видеопоследовательности. Для каждого обнаруженного объекта выдаются координаты углов строка обнаружения в плоскости изображения, присвоенный ему числовой номер, а также направление его перемещения, что позволяет строить на основе данного ядра эффективные системы контроля периметра и анализа трафика автотранспорта. Ядро позволяет обнаруживать одновременно до 128 движущихся объектов. При этом задержка выходных координат составляет 1 кадр.

ОБЛАСТЬ ПРИМЕНЕНИЯ И ИСПОЛЬЗУЕМЫЕ ПЛАТФОРМЫ

Ядро может применяться в любых областях технического зрения, как в охранных системах видеонаблюдения, так и в специальных роботизированных системах технического зрения. Простой интерфейс обмена информацией с ядром позволяет легко интегрировать его в любой проект FPGA. Ядро поставляется по заказу с указанием типа FPGA. Ядро передается заказчику в синтезированном виде для конкретного типа FPGA по лицензии. Ядро разработано для FPGA фирмы Xilinx и поддерживает следующие их семейства:

- Artix-7, Artix-7Q;
- Kintex-7, Kintex-7Q;
- Virtex-7, Virtex-7Q;
- EasyPath-7;
- Virtex-6, Virtex-6Q;
- EasyPath-6;
- Spartan-6;
- Virtex-5Q, Virtex-5QV;
- Virtex-4Q, Virtex-4QV;
- XA Spartan-6;
- XA Spartan-3A, XA Spartan-3A DSP, XA Spartan-3E.

ПОСЛЕДОВАТЕЛЬНОСТЬ ИСПОЛЬЗОВАНИЯ

Для использования ядра необходимо, чтобы в проекте FPGA присутствовал модуль контроллера памяти DDR. Также необходима организация хранения текущих кадров видеопоследовательности по многобуферному принципу в памяти DDR. Если указанные требования выполнены, то осуществляется подключение ядра к проекту FPGA. После добавления ядра в проект FPGA необходимо связать интерфейс ядра с проектом. Перед началом работы ядра необходимо при каждом включении питания устройства конфигурировать ядро (записывать конфигурационные регистры). После того, как конфигурационные регистры записаны можно осуществлять управление обнаружением. Ядро не организует отображение информации. Отображение информации должно быть организовано разработчиком. Подробное описание интерфейса и порядка использования ядра приведены в частях 2 и 3 документа.

ЧАСТЬ 2 СПЕЦИФИКАЦИИ ЯДРА

ПРОИЗВОДИТЕЛЬНОСТЬ

Характеристики IP ядра, приведенные в таблице 2, рассчитаны по результатам испытаний на FPGA Xilinx Spartan-6 XC6SLX150T-3. Характеристики быстродействия значительно зависят от типа используемого FPGA и частоты обновления изображений. В таблице 3 приведены характеристики производительности ядра и их особенности.

Таблица 3 – Основные характеристики IP ядра D-MOT-10 и их особенности.

Параметр	Значение и примечания
Режим обнаружения	Автоматическое обнаружение движущихся объектов с определением и предсказанием траекторий объектов на основе анализа последовательности изображений в видеопотоке.

Параметр	Значение и примечания
Максимальное число одновременно обнаруживаемых объектов	Ядро обеспечивает одновременное обнаружение до 128 движущихся объектов на изображениях видеопоследовательности. Каждому обнаруженному объекту присваивается уникальный номер. Диапазон уникальных номеров, присваиваемых объектам от 0 до 127 включительно. Этот номер сохраняется за объектом на протяжении всего времени до его пропадания из поля зрения. При этом осуществляется постоянное прогнозирование его траектории. Благодаря этому номер объекта сохраняется за ним даже после кратковременного пропадания за препятствием. При пропадании объекта за препятствием ядро продолжает выдавать информацию по объекту с спрогнозированными координатами. Если объект вновь не появился на протяжении 150 циклов обработки (150 обработанных изображений), то объект снимается с обнаружения, при этом его порядковый номер освобождается для назначения другому обнаруженному объекту. Нумерация объектов производится циклически. Это означает, что при снятии с обнаружения объекта его номер может быть назначен другому обнаруженному объекту. Разработчику необходимо исходить из того предположения, что пока для каждого кадра изображения выдается информация для определенного номера объекта, это означает, что обнаруживаемый с этим номером объект присутствует на изображении. Если выдача информации по какому-либо номеру была прервана, хотя бы в течении 1 цикла обработки (1 кадр видеопоследовательности), то объекты, соответствующие этому номеру до и после «перерыва» могут быть разными объектами.
Максимальный и минимальный размеры стробов обнаружения	Размер строба обнаружения зависит только от размеров самого объекта и не может устанавливаться по команде. Размеры стробов обнаружения для любого объекта могут изменяться от кадра к кадру в зависимости от изменения формы и размеров самого объекта.
Максимальные размеры обнаруживаемого объекта	Максимальные размеры обнаруживаемого объекта ограничены размерами обрабатываемой области (размерами буфера кадра).
Минимальные размеры сопровождаемого объекта	Ядро обеспечивает устойчивое обнаружение движущихся объектов размерами от 8x8 пикселей в области изображения. Меньший размер объектов в плоскости изображения характерен для местных предметов, таких как ветки деревьев и др. Данные объекты алгоритмы ядра принимает за несущественные и игнорирует их, снижая вероятность ложных обнаружений.
Максимальная и минимальная скорость перемещения обнаруживаемого объекта	При скачкообразном изменении положения сопровождаемого объекта максимальная скорость перемещения движущегося объекта составляет не более 30 пикселей за кадр в любом направлении. Минимальная – 0.1 пиксел за кадр в любом направлении. При обнаружении объектов алгоритмы ядра оценивают траекторию движения и для обнаружения принимают только те объекты, которые имеют не случайную траекторию. Для эффективного обнаружения движущихся объектов важно, чтобы поле зрения камер было неподвижным (колебания не превышающие 2-3 пиксела в плоскости изображения).

Параметр	Значение и примечания
Минимальный контраст обнаруживаемых объектов	Ядро обеспечивает устойчивое обнаружение движущихся объектов с контрастом от 10%. Данная характеристика будет существенно зависеть от характеристик фона на котором наблюдается объект. В случае равномерного и стационарного фона требуемый контраст для устойчивого обнаружения может быть существенно ниже заявленной цифры.
Максимальные размеры кадров	Ядро обеспечивает работу кадрами размеров до 720x576 пикселей. Чтение изображений из памяти DDR производится по указанным начальным адресам памяти, записываемым в конфигурационные регистры ядра. При необходимости использования ядра для видеопоследовательностей с большими размерами кадров, ядро может быть синтезировано под необходимые параметры (до 5120x5120 пикселей) и поставлено потребителю. При этом показатели требуемых для ядра ресурсов FPGA будут выше. Разработчик может использовать параллельно несколько ядер для обработки изображений больших размеров.
Вытянутость сопровождаемых объектов	Конфигурация обнаруживаемых объектов может быть любой.
Точность выходных координат	Выходные координаты обнаруживаемых объектов имеют точность в 1 пиксел. Выходная информация указывает на положение обнаруженного объекта (положение строка обнаружения) в экранной системе координат (относительно левого верхнего угла изображения).
Задержка выходных координат	При частоте обновления кадров в 25 Гц ядро успевает рассчитать очередные координаты объектов до окончания следующего кадра видеопоследовательности (задержка в 1 кадр). При использовании более производительных FPGA возможна более быстрая обработка, что позволяет использовать источники видеоинформации большей частотой кадров.
Время от инициализации ядра до устойчивого режима обнаружения	После инициализации ядра ему необходимо 2-3 минуты для адаптации к текущим условиям наблюдения, при условии неподвижности поля зрения камеры. В этот период времени ядро осуществляет инициализацию фильтров, а также определяет области изображения, в которых наблюдается постоянное хаотическое движение в небольших пределах (в плоскости изображения) для последующего исключения их из анализа с целью снижения вероятности ложных обнаружений.
Формат обрабатываемых изображений	Ядро работает с изображениями, содержащими цветовую палитру из 256 градаций серого – 8 бит на пиксел.
Условия функционирования	Наблюдаемая сцена, содержащаяся в последовательности изображений должна быть неподвижна (поле зрения устойчиво и не перемещается во времени). Допускаются небольшие колебания в пределах 2-3 пикселей, которые могут быть вызваны дрожанием источника видеоинформации под воздействием внешних факторов.

ТРЕБУЕМЫЕ РЕСУРСЫ

В таблице 4 приведены требуемые для IP ядра D-MOT-10 ресурсы для различных семейств FPGA фирмы Xilinx.

Таблица 4 – Требуемые для IP ядра D-MOT-10 ресурсы

Тип FPGA	Slice Registers	DSP	Block Memory
Artix-7 XC7A100T-3	5114 (4%)	11 (4%)	40 (29%)
Kintex-7 XC7K410T-2L	5113 (<1%)	11 (1%)	40 (5%)
Virtex-7 XC7VX330T-2L	5113 (<1%)	11 (<1%)	40 (5%)
Virtex-7 XC7V2000T-2L	5113 (<1%)	11 (<1%)	40 (3%)
Virtex-6 XC6VLX240T-2	5116 (1%)	11 (1%)	40 (9%)
Spartan-6 XC6SLX150T-3	5206 (2%)	13 (7%)	31 (11%)
Zenq-7 XC7Z045-2	5113 (<1%)	11 (<1%)	40 (7%)

Примечание: данные могут отличаться в зависимости от особенностей проекта.

ТРЕБОВАНИЯ К ОРГАНИЗАЦИИ ПРОЕКТА FPGA

Использование IP ядра D-MOT-10 не накладывает каких-либо существенных требований на структуру проекта FPGA. Разработчику необходимо обеспечить соединение ядра с контроллером памяти DDR, конфигурацию регистров, тактирование, управление и прием информации от ядра. Также разработчику необходимо обеспечить обновление кадров видеопоследовательности в памяти DDR по многобуферному принципу. На рисунке 1 представлен пример структуры проекта FPGA и использованием IP ядра D-MOT-10.

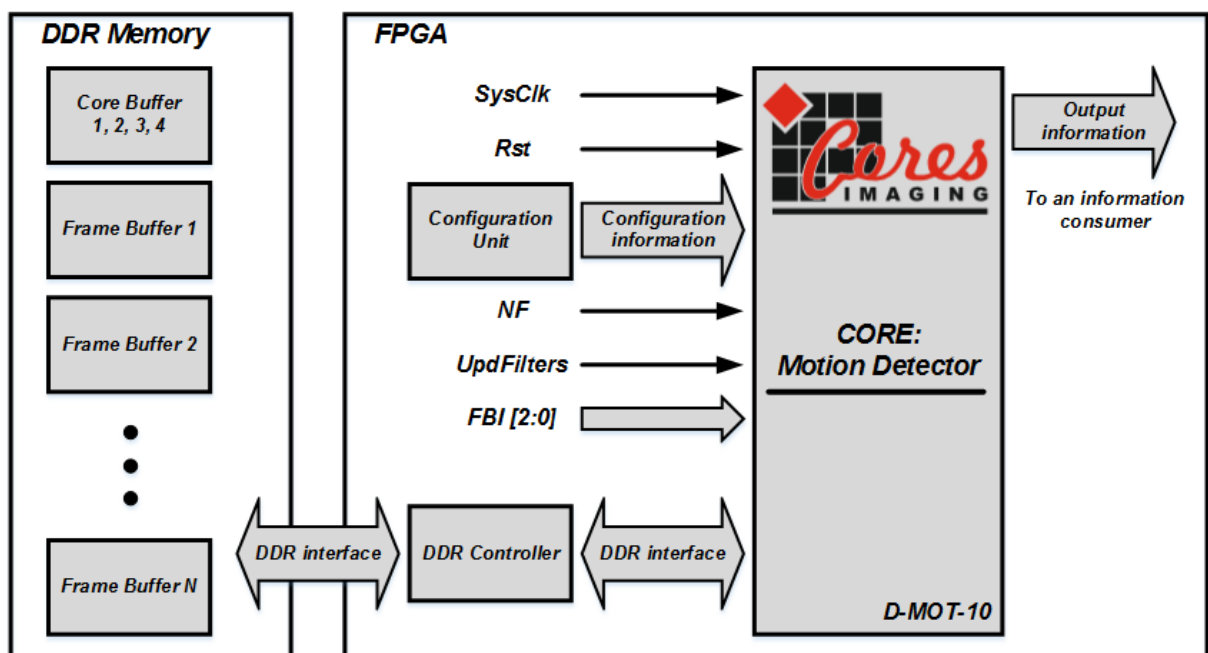


Рисунок 1 – Пример структуры проекта FPGA с использованием IP ядра D-MOT-10

На рисунке показано взаимодействие IP ядра с проектом FPGA. Ядро соединяется по унифицированному интерфейсу с контроллером памяти DDR. Контроллер памяти DDR может быть как аппаратный, так и синтезированным ядром. В некоторых FPGA Xilinx имеется аппаратный контроллер памяти DDR. По этому интерфейсу ядро T-COR-10 общается с памятью DDR. От разработчика требуется организовать хранение в памяти DDR текущих кадров видеопоследовательности. Хранение информации должно быть

организовано в нескольких буферах. Принцип хранения видеоинформации можно пояснить следующим образом. Пусть имеется N буферов хранения кадров, как показано на рисунке 1. Текущий кадр изображения уже записан в буфер 1. В это время очередной кадр пишется в буфер 2. В конфигурационные регистры IP ядра записаны начальные адреса каждого из буферов. По шине данных $FBI[2:0]$ на ядро передается индекс буфера в котором хранится изображение для обработки (индекс 0 – первый буфер). При этом ядро осуществляет чтение текущего кадра из буфера 1. Когда новый кадр записан в буфер 2 осуществляется смена индексов таким образом, что новое изображение пишется в буфер 1 (индекс 0), а на ядро по шине $FBI[2:0]$ подается значение 1, что означает, что читать кадр для обработки необходимо из буфера 2. При этом предполагается, что ядро закончило обработку кадра к моменту прихода нового. Если ядро не успело обработать предыдущий кадр, то оно продолжит обработку по информации уже нового кадра (буфер 2). Здесь описан простой пример. Множество буферов необходимо для организации работы нескольких подсистем, таких, как само ядро обнаружения, модуль записи видеоинформации, модуль передачи видеоинформации потребителю и др. Разработчик должен правильно организовать смену индексов буферов кадров. IP ядро читает очередно кадр видеопоследовательности по адресу буфера записанному в конфигурационном регистре. Конфигурация регистров производится до начала работы с помощью специального модуля (Configuration Unit). Данный модуль разрабатывается самостоятельно и подает необходимую последовательность информации для конфигурации ядра. Разработчик может использовать готовый модуль, предоставляемый с ядром. Запись информации в конфигурационные регистры позволяет настроить соответствующие параметры ядра до начала работы. Разработчик также должен предусмотреть синхронизацию и сигнал сброса ядра, а также сигнал нового кадра (NF). Сигнал NF сигнализирует ядру, что текущее изображение записано и можно начинать обработку. В процессе работы ядра, его алгоритмы осуществляют постоянное обновление различных фильтров. Если в процессе работы ядра сцена в последовательностях изображений меняется (например при повороте камеры), то ядру необходимо осуществлять адаптацию к новой сцене заново. Для того, чтобы указать ядру начинать адаптацию к изменившейся сцене заново, существует сигнал $UpdFilters$, который сбрасывает фильтры ядра в начальное значение. Выходная информация поступает потребителю по унифицированному интерфейсу. Эта информация может поступать на исполнительную подсистему, подсистему отображения, непосредственно в канал связи и др. Для работы ядра необходимо также некоторое пространство в памяти DDR для служебных буферов (4 служебных буфера). Рекомендуемые размеры служебных буферов приведены в разделе «Конфигурирование ядра». Размер служебных областей изменяются динамически в зависимости от режима работы. Начальные адреса служебных буферов записываются в конфигурационные регистры (как и адреса буферов изображений) перед началом работы. Интерфейс обмена информацией с IP ядром D-MOT-10 описан в следующем разделе.

ОПИСАНИЕ ИНТЕРФЕЙСА

На рисунке 2 представлен интерфейс взаимодействия с IP ядром D-MOT-10.

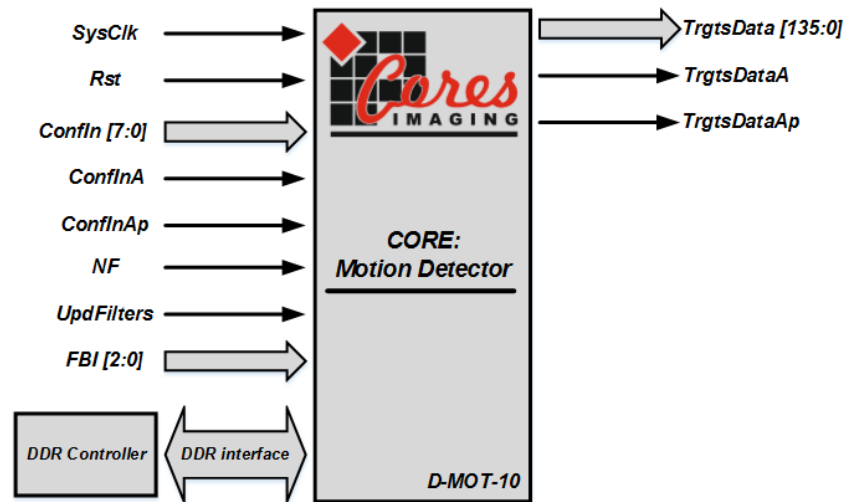


Рисунок 2 – Интерфейс взаимодействия с IP ядром D-MOT-10

Назначение всех вводов и выводов представлено в таблице 5.

Таблица 5 – Назначение вводов и выводов IP ядра T-COR-10

№	Название сигнала	Назначение
1	<i>SysClk</i>	Тактовый сигнал для ядра. Все сигналы для ядра (конфигурация, сброс и др.) должны быть синхронны <i>SysClk</i> . При проведении испытаний для проекта на FPGA Xilinx Spartan-6 150 частота <i>SysClk</i> была выбрана равной 130 МГц. Оптимальное значение частоты тактового сигнала должно определяться разработчиком самостоятельно для конкретного проекта.
2	<i>Rst</i>	Сигнал сброса ядра. Сигнал должен быть синхронным с <i>SysClk</i> и длиться 1 такт. Сигнал сброса применяется в начале работы ядра 1 раз до записи конфигурационных регистров.
3	<i>Confln [7:0]</i> <i>ConflnA</i> <i>ConflnAp</i>	Интерфейс записи конфигурационных регистров. Посредством этого интерфейса осуществляется запись конфигурационных регистров перед началом работы. По шине <i>Confln[7:0]</i> передаются значения конфигурационных регистров. Сигнал <i>ConflnA</i> сигнализирует об активности данных (записи данных). <i>ConflnAp</i> – сигнал применения данных в регистры. Интерфейс является унифицированным. Временные диаграммы обмена информацией представлены на рисунке 3.
4	<i>NF</i>	Сигнал нового кадра длительностью 1 такт. Должен приходиться всегда, когда сменяется кадр видеопоследовательности. По этому сигналу ядро начинает обработку очередного кадра.
5	<i>FBI [2:0]</i>	Шина индекса текущего буфера кадра. Это шиной устанавливается индекс буфера кадра, который необходимо обрабатывать. При этом адреса каждого буфера в памяти записываются посредством интерфейса записи конфигурационных регистров. В соответствии со значением шины ядро читает тот или иной буфер кадра из памяти DDR.
6	<i>UpdFilters</i>	Сигнал сброса фильтров ядра. Применяется в случае необходимости заново начать адаптацию к изменившимся условиям наблюдения (например при изменении наблюдаемой сцены в следствии поворота камеры).
7	DDR Interface	Унифицированный интерфейс обмена информацией с контроллером памяти DDR Xilinx. Интерфейс представлен на рисунке 4.

№	Название сигнала	Назначение
8	<i>TrgtsData</i> [135:0] <i>TrgtsDataA</i> <i>TrgtsDataAp</i>	Интерфейс вывода информации о координатах сопровождаемых объектов. По этому интерфейсу передаются координаты сопровождаемых объектов. Интерфейс унифицирован с интерфейсом записи конфигурационных регистров. Временные диаграммы обмена информацией представлены на рисунке 3.

На рисунке 3 представлены временные диаграммы обмена информацией по интерфейсам вывода и записи информации в конфигурационные регистры. По принципу обмена информацией интерфейсы идентичны между собой.

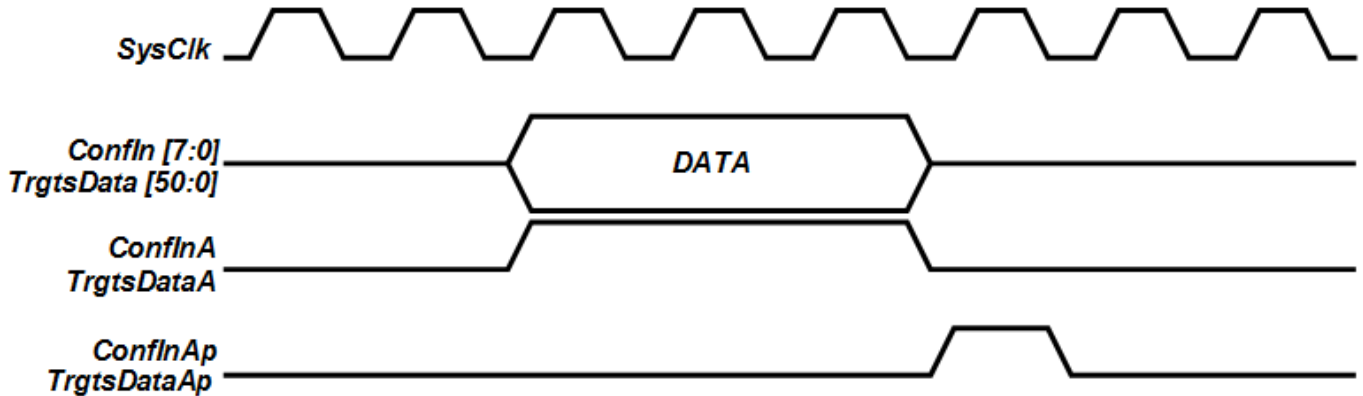


Рисунок 3 – Временные диаграммы обмена информацией по интерфейсам вывода координатной информации и записи конфигурационных регистров

Все интерфейсы обмена информации синхронны с сигналом *SysClk*. Итерфейс обмена информацией с контроллером памяти DDR является унифицированным для всех FPGA Xilinx®. Подробное описание интерфейса контроллера DDR приведено в документации на ядро контроллера памяти DDR от Xilinx®. На рисунке 4 приведено изображение интерфейса к контроллеру памяти DDR от IP ядра D-MOT-10.

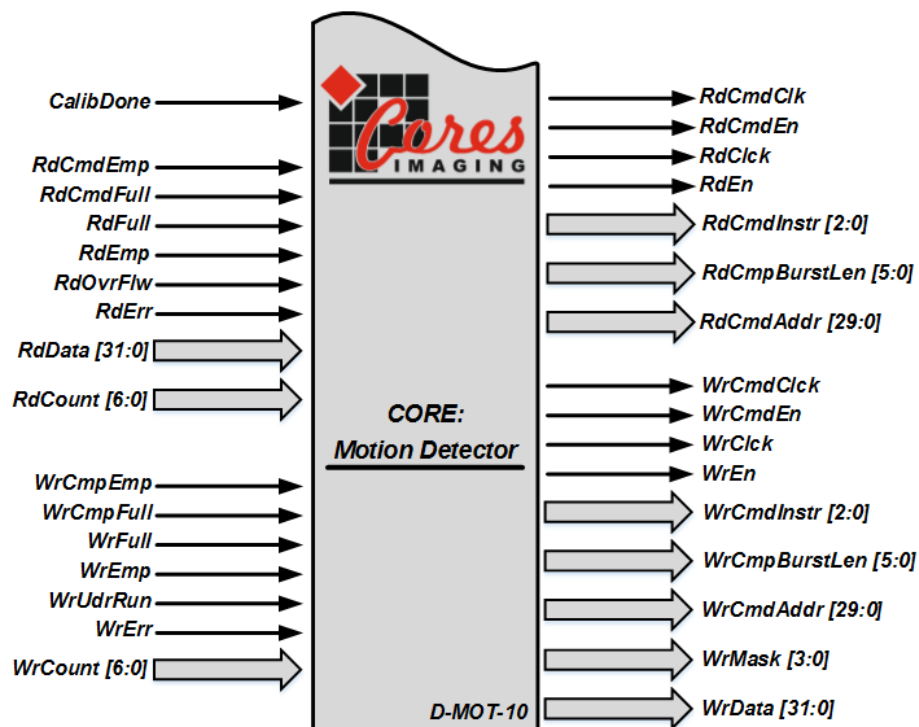


Рисунок 4 – Интерфейс к контроллеру памяти DDR

Назначение входов и выходов интерфейса к контроллеру памяти DDR, а также соответствие входам и выходам, обозначенным в спецификации от Xilinx приведены в таблице 6.

Таблица 6 – Назначение вводов и выводов IP ядра D-MOT-10

№	Название сигнала ядра T-COR-10	Направление	Сигнал контроллера памяти	Назначение
1	<i>CalibDone</i>	вход	<i>calibe_done</i>	Сигнал окончания калибровки контроллера памяти DDR.
2	<i>RdCmdEmp</i>	вход	<i>pX_cmd_empty</i>	Очередь команд чтения пуста.
3	<i>RdCmdFull</i>	вход	<i>pX_cmd_full</i>	Очередь команд чтения полна.
4	<i>RdFull</i>	вход	<i>pX_rd_full</i>	Полон буфер чтения.
5	<i>RdEmp</i>	вход	<i>pX_rd_empty</i>	Буфер чтения пуст.
6	<i>RdOvrFlw</i>	вход	<i>pX_rd_overflow</i>	Переполнение буфера чтения.
7	<i>RdErr</i>	вход	<i>pX_rd_error</i>	Ошибка чтения.
8	<i>RdData [31:0]</i>	вход	<i>pX_rd_data [PX_SIZE-1:0]</i>	Шина данных чтения.
9	<i>RdCount [6:0]</i>	вход	<i>pX_rd_count [6:0]</i>	Количество прочитанных байт.
10	<i>WrCmdEmp</i>	вход	<i>pX_cmd_empty</i>	Очередь команд записи пуста.
11	<i>WrCmdFull</i>	вход	<i>pX_cmd_full</i>	Очередь команд записи полна.
12	<i>WrFull</i>	вход	<i>Px_wr_full</i>	Буфер записи полон.
13	<i>WrEmp</i>	вход	<i>pX_wr_empty</i>	Буфер записи пуст.
14	<i>WrUdrRun</i>	вход	<i>pX_wr_underrun</i>	Нет места в FIFO для новых данных.
15	<i>WrErr</i>	вход	<i>pX_wr_error</i>	Ошибка записи.
16	<i>WrCount [6:0]</i>	вход	<i>pX_wr_count [6:0]</i>	Количество записанных байт.
17	<i>RdCmdClck</i>	выход	<i>pX_cmd_clk</i>	Тактовая частота для команд чтения.
18	<i>RdCmdEn</i>	выход	<i>pX_cmd_en</i>	Строб команд чтения
19	<i>RdClck</i>	выход	<i>pX_rd_clk</i>	Тактовая частота для чтения данных.
20	<i>RdEn</i>	выход	<i>Px_rd_en</i>	Строб чтения данных.
21	<i>RdCmdInstr [2:0]</i>	выход	<i>pX_cmd_istr [2:0]</i>	Тип команды чтения.
22	<i>RdCmdBurstLen [5:0]</i>	выход	<i>pX_cmd_bl [5:0]</i>	Длина посылки чтения.
23	<i>RdCmdAddr [29:0]</i>	выход	<i>pX_cmd_addr [29:0]</i>	Адрес для чтения.
24	<i>WrCmdClck</i>	выход	<i>pX_cmd_clk</i>	Тактовая частота команд записи.
25	<i>WrCmdEn</i>	выход	<i>pX_cmd_en</i>	Строб команд записи.
26	<i>WrClck</i>	выход	<i>pX_wr_clk</i>	Тактовая частота для записи данных.
27	<i>WrEn</i>	выход	<i>pX_wr_en</i>	Строб данных записи.
28	<i>WrCmdInstr [2:0]</i>	выход	<i>pX_cmd_instr [2:0]</i>	Тип команды записи.
29	<i>WrCmdBurstLen [5:0]</i>	выход	<i>pX_cmd_bl [5:0]</i>	Длина посылки на запись.
30	<i>WrCmdAddr [29:0]</i>	выход	<i>pX_cmd_addr [29:0]</i>	Адрес для записи.
31	<i>WrMask [3:0]</i>	выход	<i>pX_wr_mask [PX_MASKSIZE-1:0]</i>	Маска записи.
32	<i>WrData [31:0]</i>	выход	<i>pX_wr_data [PX_SIZE-1:0]</i>	Шина данных на запись.

- Примечания:
1. Префикс “pX” в имени сигналов контроллера памяти DDR обозначает номер порта. При этом “p” – это сокращение “port”, а вместо буквы “X” в проекте будет стоять номер.
 2. В таблице некоторые имена сигналов контроллера памяти DDR повторяются, но они будут указывать на контакты с разными номерами по причине того, что интерфейс обмена IP ядра D-MOT-10 использует 2 идентичных порта контроллера (сконфигурированных один для чтения, другой – для записи). Общая схема соединения представлена на рисунке 5.

Разработчику необходимо только правильно соединить интерфейсы ядра и контроллера памяти DDR. Для этого необходимо в среде разработки (Xilinx ISE необходимой версии) сгенерировать ядро контроллера DDR с двумя портами (чтения и записи) и соединить соответствующие группы сигналов ядра и контроллера DDR. На рисунке 5 схематично показано соответствие названий сигналов и портов чтения и записи контроллера DDR.

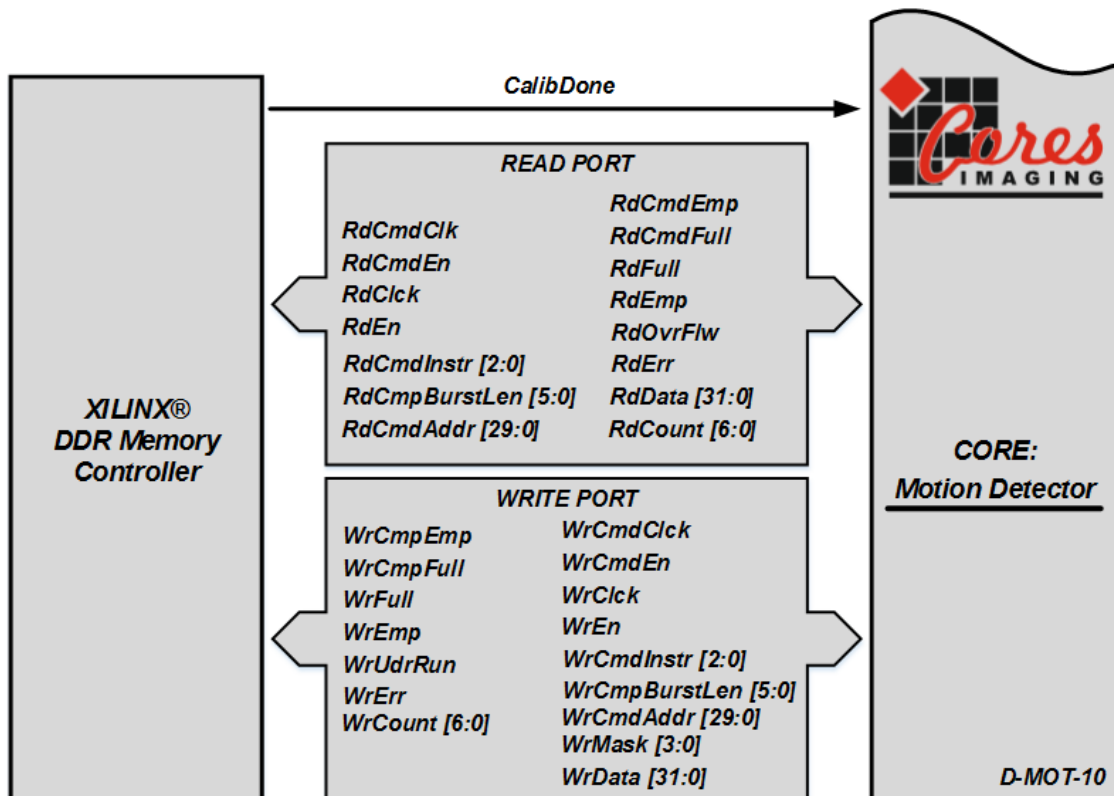


Рисунок 5 – Соответствие вводов/выводов IP ядра D-MOT-10 и портов чтения и записи контроллера памяти DDR

Как видно из рисунка, для обеспечения обмена IP ядра D-MOT-10 с контроллером DDR, последний должен быть сконфигурирован с двумя портами (чтения и записи), а также сигналом CalibDone к ядру. Подробно о включении IP ядра D-MOT-10 в проект FPGA описано в части 3.

КОНФИГУРИРОВАНИЕ ЯДРА

Перед началом работы IP ядро D-MOT-10 должно быть сконфигурировано. Конфигурирование ядра заключается в записи конфигурационных регистров. Пользователю предоставляется возможность самостоятельной настройки параметров алгоритмов, реализованных в ядре. Конфигурация производится через унифицированный

интерфейс записи конфигурационных регистров, описанный в предыдущем разделе. Данному интерфейсу соответствуют сигналы: *Confln[7:0]*, *ConflnA*, *ConflnAp*. Параметры IP ядра, доступные для настройки представлены в таблице 6.

Таблица 6 – Параметры IP ядра, доступные для настройки

Наименование параметра	Обозначение	Значение	Назначение
Адрес буфера кадра 1	FB1	4 байта адреса памяти	Представляет собой адрес первой ячейки буфера кадра 1.
Адрес буфера кадра 2	FB2	4 байта адреса памяти	Представляет собой адрес первой ячейки буфера кадра 2.
Адрес буфера кадра 3	FB3	4 байта адреса	Представляет собой адрес первой ячейки буфера кадра 3.
Адрес буфера кадра 4	FB4	4 байта адреса памяти	Представляет собой адрес первой ячейки буфера кадра 4.
Адрес буфера кадра 5	FB5	4 байта адреса	Представляет собой адрес первой ячейки буфера кадра 5.
Адрес служебной области 1 (Core Buffer 1)	CB1	4 байта адреса памяти	Представляет собой адрес первой ячейки служебного буфера. Размер данного буфера ширина изображения * высота изображения (ширина и высота в байтах).
Адрес служебной области 2 (Core Buffer 2)	CB2	4 байта адреса памяти	Представляет собой адрес первой ячейки служебного буфера. Размер данного буфера 2 * ширину изображения * высоту изображения (ширина и высота в байтах).
Адрес служебной области 3 (Core Buffer 2)	CB3	4 байта адреса памяти	Представляет собой адрес первой ячейки служебного буфера. В этом буфере хранится эквивалент количества движения для каждой точки в кадре (выделение движущихся объектов в кадре). Разработчик может считать эти данные из кадра и использовать их для отображения движущихся объектов (удобно для обнаружения движущихся объектов визуально человеком). Размер данного буфера ширину изображения * высоту изображения (ширина и высота в байтах).

Наименование параметра	Обозначение	Значение	Назначение
Адрес служебной области 4 (Core Buffer 4)	CB4	4 байта адреса памяти	Представляет собой адрес первой ячейки служебного буфера. Размер данного буфера $2 * \text{ширину изображения} * \text{высоту изображения}$ (ширина и высота в байтах).
Адрес служебной области 5 (Core Buffer 5)	CB5	4 байта адреса памяти	Представляет собой адрес первой ячейки служебного буфера. Размер данного буфера $0,125 * \text{ширину изображения} * \text{высоту изображения}$ (ширина и высота в байтах).
Ширина буферов кадра	FBW	2 байта (допустимые значения от 8 до 2047)	Ширина буфера кадра в пикселах (ширина изображений, поступающих от источника видеoinформации).
Высота буферов кадра	FBH	2 байта (допустимые значения от 8 до 2047)	Высота буфера кадра в пикселах (высота изображений, поступающих от источника видеoinформации).
Порог обнаружения	P	1 байт (допустимые значения от 0 до 255)	Параметр определяет порог обнаружения от 0 до 255, что эквивалентно диапазону от 0 до 1.

Для того чтобы сконфигурировать ядро необходимо перед началом работы (в момент включения) передать 45 байт конфигурационных данных (конфигурационный пакет) по соответствующему интерфейсу. После этого, ядро готово к работе. При этом в случае необходимости изменения параметров в процессе работы (например, изменение коэффициентов сглаживания или ширины и высоты проверяемой области), можно перезаписывать параметры оперативно во время сопровождения не отключая и не сбрасывая ядро. В таблице 7 показана последовательность следования конфигурационных данных в конфигурационном пакете.

Таблица 7 – Последовательность конфигурационных данных

Байт	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
Данные	FB1				FB2				FB3				FB4				
Байт	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33
Данные	FB5			CB1				CB2				CB3			CB4		
Байт	34	35	36	37	38	39	40	41	42	43	44						
Данные	CB4		CB5				FBW	FBH	P								

Ниже приведены пояснения к каждому из параметров.

Адреса буферов кадров. Перед началом работы ядру должны быть указаны адреса первых ячеек памяти буферов кадров. Возможна установка до 5 буферов кадров. В процессе работы для указания ядру номера буфера, с которым ему необходимо работать в конкретный момент времени, производится с помощью шины данных $FB[2:0]$. Как и остальные параметры, адреса буферов можно менять в процессе работы, что дает возможность разработчику использовать большее количество буферов кадров. IP ядро работает с изображениями в формате 8 бит на пиксел (градации серого), поэтому

разработчик должен распределять память в проекте с учетом этого. Также необходимо выполнить требование, чтобы адреса всех областей памяти (буферов кадра и служебных) были кратны 4.

Адреса служебных областей. Служебные области памяти используются ядром для хранения текущих настроек, промежуточных результатов работы и фрагментов изображений. Размер каждой из служебных областей памяти (CB1, CB2, CB3, CB4, CB5) различается. Для расчета размеров областей памяти необходимо применять следующие соотношения:

CB1 = FDW*FBH (байт);

CB2 = FDW*FBH*2 (байт);

CB3 = FBW*FBH (байт);

CB4 = FBW*FBH*2 (байт);

CB5 = (FBW*FBH)/8 (байт).

Ширина буферов кадра. Ширина буферов кадра является шириной обрабатываемых изображений. Ширина буферов кадров измеряется в байтах, что при формате изображений 8 бит на пиксел, и является их шириной. Кроме того, данные значения используются ядром для ограничения перемещения стробов сопровождения в пределах изображения (строб не может выходить за пределы изображения). Параметр может изменяться пользователем во время работы.

Высота буферов кадра имеет такой же физический смысл, что и ширина.

Порог обнаружения. Параметр изменяется в пределах от 0 до 255, что эквивалентно порогу вероятности обнаружения движущегося объекта на изображении от 0 до 1. В случае если во время слежения за каким-либо объектом вероятность нахождения объекта во всех проверяемых позициях (области поиска) оказались ниже порогового значения, то ядро переходит в режим пролонгации траектории (продолжения траектории движения объекта исходя из рассчитанных параметров его движения) до момента пока вероятность нахождения объекта в той или иной точке не окажется выше порога (автоматическое повторное обнаружение объекта с сохранением его порядкового номера).

Если необходимо изменять параметры ядра во время работы, то требуется передавать всю конфигурационную посылку с нужными изменениями. Для удобной конфигурации ядра удобно синтезировать специальный модуль (ядро), который в начале работы будет выдавать на IP ядро D-MOT-10 требуемые сообщения. Если необходимо оперативно изменять параметры работы ядра, то эту функцию целесообразно возложить на управляющий модуль всего проекта FPGA.

УПРАВЛЕНИЕ РЕЖИМАМИ РАБОТЫ

Для IP ядра D-MOT-10 предусмотрен 1 режим работы – обнаружение движущихся объектов. Разработчик имеет возможность управлять только параметрами функционирования ядра во время работы ядра. Также разработчик может управлять обновлением фильтров ядра (сброс фильтров ядра по сигналу *UpdFilters*) при необходимости.

ВЫХОДНАЯ ИНФОРМАЦИЯ

Информацию от IP ядра D-MOT-10 можно получить по унифицированному интерфейсу *TrgtsData[135:0]*, *TrgtsDataA*, *TrgtsDataAp*. Принцип обмена информацией аналогичен интерфейсам записи конфигурационных регистров с единственной разницей в направлении передачи информации. Ядро выдает информацию по каждому обнаруженному объекту отдельно. Выходной информацией являются пакеты длиной 17 Байт, содержащие присвоенный номер объекту, координаты углов строба обнаружения и направление движения. Формат выходных пакетов информации представлен в таблице 10.

Таблица 10 – Формат пакетов выходной информации

Бит	135	134	133	132	131	130	129	128	127	126	125	124	123	122	121	120
Данные	N								X1							
Бит	119	118	117	116	115	114	113	112	111	110	109	108	107	106	105	104
Данные	X1								Y1							
Бит	103	102	101	100	99	98	97	96	95	94	93	92	91	90	89	88
Данные	Y1								X2							
Бит	87	86	85	84	83	82	81	80	79	78	77	76	75	74	73	72
Данные	X2								Y2							
Бит	71	70	69	68	67	66	65	64	63	62	61	60	59	58	57	56
Данные	Y2								Vx							
Бит	55	54	53	52	51	50	49	48	47	46	45	44	43	42	41	40
Данные	Vx															
Бит	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24
Данные	Vx								Vy							
Бит	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8
Данные	Vy															
Бит	7	6	5	4	3	2	1	0								
Данные	Vy															

В таблице 11 перечислены типы передаваемых данных и их назначение.

Таблица 11 – типы данных и их назначение

Тип данных	Количество бит	Назначение
N	8	Порядковый номер обнаруженного объекта. Ядро присваивает уникальный номер каждому обнаруженному объекту. Номер назначается циклически. Если объект с определенным номером (например с номером 1) вышел из поля зрения и не обнаруживается, то его номер может быть присвоен новому объекту. Максимальное количество одновременно обнаруживаемых движущихся объектов составляет 32.
X1	16	Координата левого верхнего угла строка обнаружения в оконной системе координат, как показано на рисунке 6.
Y1	16	Координата левого верхнего угла строка обнаружения в оконной системе координат, как показано на рисунке 6.
X2	16	Координата правого нижнего угла строка обнаружения в оконной системе координат, как показано на рисунке 6.
Y2	16	Координата правого нижнего угла строка обнаружения в оконной системе координат, как показано на рисунке 6.
Vx	32 (старший бит является значимым)	Составляющая скорости перемещения обнаруженного объекта в оконной системе координат по оси X, как показано на рисунке 6. Старший бит является значимым (1 означает отрицательное число). Значение Vx представлено в относительных единицах и не привязано к пикселям изображения.
Vy	32 (старший бит является значимым)	Составляющая скорости перемещения обнаруженного объекта в оконной системе координат по оси Y, как показано на рисунке 6. Старший бит является значимым (1 означает отрицательное число). Значение Vy представлено в относительных единицах и не привязано к пикселям изображения.

Информация передается по каждому объекту отдельно. При этом вся информация об обнаруженных объектах передается за время обработки нового кадра видеоданных. В случае, когда обнаруживаемый объект перемещается за край изображения (левый, верхний, нижний или правый край строба обнаружения перемещается за пределы изображения) ядро оставляет соответствующие краю изображения координаты углов строба обнаружения неизменными, но при этом изменяет остальные координаты. Таким образом, при перемещении объекта за пределы изображения, выходная информация будет содержать постоянно уменьшающиеся размеры строба обнаружения для этого объекта до его полного исчезновения и снятия с обнаружения. На рисунке 6 приведено изображение оконной координатной системы и пояснения к выходной информации.

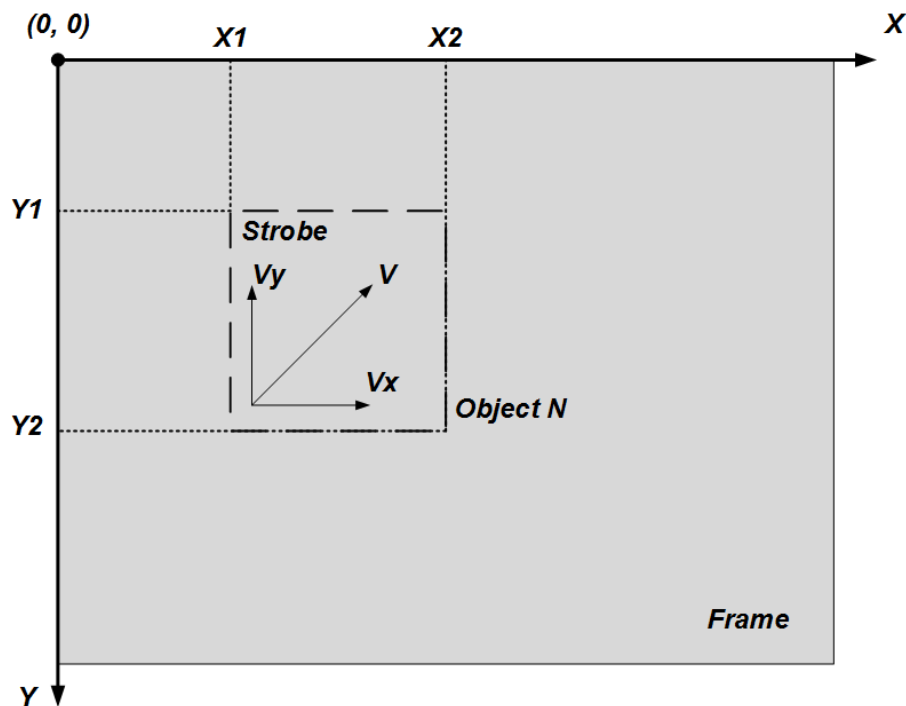


Рисунок 6 – Пояснения к выходной информации ядра D-MOT-10

ЧАСТЬ 3 РАБОТА С ЯДРОМ

ПОДКЛЮЧЕНИЕ ЯДРА К ПРОЕКТУ FPGA

Ввиду того, что ядро поставляется для FPGA фирмы Xilinx®, то порядок подключения IP ядра D-MOT-10 приведен в IDE ISE 14.3. Ядро представляет собой файл с расширением *.ngc, файл с расширением *.sym и файл с расширением *.v (по запросу может поставляться *.vhd) (D_MOT_10_XXXXXX.ngc, D_MOT_10_XXXXXX.sym, D_MOT_10_XXXXXX.v (.vhd)). Символы "X" в имени файла заполняются названием модели FPGA для которого синтезировано ядро. Файл D_MOT_10_XXXXXX.ngc – это синтезированное ядро. Файл D_MOT_10_XXXXXX.sym – это графическое обозначение ядра. Файл D_MOT_10_XXXXXX.v (.vhd) – это оболочка, где прописаны входы и выходы ядра. Ниже приведен порядок использования ядра в проекте FPGA с верхним уровнем Schematic в IDE Xilinx ISE 14.3.

1. Скопировать файл D_MOT_10_XXXXXX.sym в папку вашего проекта.
2. Добавить в проект файл D_MOT_10_XXXXXX.v (.vhd).
3. Разместить на верхнем модуле графическое обозначение ядра. Для этого необходимо выполнить следующие действия:

- 3.1. Выбрать закладку «Symbols».
- 3.2. В списке Symbols выбрать MotionProcessor.
- 3.3. Перетащить обозначение MotionProcessor на основное поле документа и расположить графическое обозначение ядра.
4. Соединить входы и выходы ядра с входами и выходами ядра контроллера памяти и ядра управления (соединяются интерфейсы управления, записи конфигурационных регистров и интерфейс приема информации от ядра с интерфейсами управляющего модуля (ядра)).
5. В параметре синтеза проекта «Cores Search Directories» указать путь к папке с файлом D_MOT_10_XXXXXX.ngc.

Для использования ядра в проектах с верхним модулем в виде HDL-файла необходимо выполнить следующие действия:

1. Добавить в проект FPGA файл D_MOT_10_XXXXXX.v (.vhd).
2. Выделить добавленный файл и в разделе Processes выполнить пункт «View HDL Instantiation Template».
3. Из открывшегося окна необходимо скопировать в верхний модуль шаблон ядра.
4. Далее выполнить пункты 4 и 5 раздела использования в проектах с верхним модулем в виде Schematic.

Для упрощения интеграции ядра в готовые проекты вместе с файлами проекта поставляется Verilog файл модуля конфигурирования ядра TPConfig.v, связанный с файлом определений Definitions.v. Модуль конфигурирования соединяется с интерфейсом записи конфигурационных регистров и позволяет перед началом работы сконфигурировать ядро с соответствующими параметрами. Разработчик может выставить необходимые параметры в файле перед синтезом проекта. Рекомендуется организовывать начальное конфигурирование с помощью единого управляющего модуля, что позволяет изменять параметры в процессе работы. Модуль конфигурирования может быть напрямую соединен с ядром MotionProcessor через интерфейс записи конфигурационных регистров.

КОНТАКТЫ



ООО «РИФТЕК» – частное предприятие, занимающееся разработкой и производством оптоэлектронных приборов для измерения геометрических величин.

Логойский тракт 22-311, 220090 Минск, Республики Беларусь

Тел./факс: +375 17 281-35-13; +375 17 281-36-57

GSM: +375 29 655-72-55

e-mail: info@riftek.com; sales@riftek.com

Сайт: www.riftek.com