

S-COR-10 IP ЯДРО СТАБИЛИЗАЦИИ ИЗОБРАЖЕНИЙ

Руководство программиста



Версия IP ядра: 1.0

Дата: 28.09.2015

ОГЛАВЛЕНИЕ

ВВЕДЕНИЕ.....	3
ВЕРСИИ ЯДРА.....	3
BASIC CHARACTERISTICS.....	3
ОПИСАНИЕ И ПРИНЦИП РАБОТЫ.....	3
ОБЛАСТЬ ПРИМЕНЕНИЯ И ИСПОЛЬЗУЕМЫЕ ПЛАТФОРМЫ	4
ПОСЛЕДОВАТЕЛЬНОСТЬ ИСПОЛЬЗОВАНИЯ	4
ПРОИЗВОДИТЕЛЬНОСТЬ	4
ТРЕБУЕМЫЕ РЕСУРСЫ	5
ТРЕБОВАНИЯ К ПРОЕКТУ FPGA.....	5
ОПИСАНИЕ ИНТЕРФЕЙСА	5
КОНФИГУРИРОВАНИЕ ЯДРА	7
ВЫХОДНАЯ ИНФОРМАЦИЯ.....	7
ПОДКЛЮЧЕНИЕ ЯДРА К ПРОЕКТУ FPGA.....	7
КОНТАКТЫ.....	8

ВВЕДЕНИЕ

FPGA IP ядро стабилизации изображений в видеопотоке S-COR-10 предназначено для использования в системах технического зрения различного назначения (охранные системы, специализированные системы и др.), построенных на основе FPGA. Ядро представляет собой законченный модуль, пригодный для использования в проектах FPGA. Ядро предоставляет простой интерфейс обмена информацией, что обеспечивает легкость его интеграции в различные системы. Ядро осуществляет 2D (в горизонтальной и вертикальной плоскостях) стабилизацию изображений. Реализованные в ядре алгоритмы обеспечивают стабилизацию изображения с точностью 2 пиксела. Ядро определяет смещение изображения относительно предыдущего кадра и адаптируется к плавным перемещениям поля зрения источника видео. Ядро не осуществляет изменение входных изображений, ядро передает значение смещения по горизонтали и вертикали на другие подсистемы. В последствии эта информация может быть использована для чтения данных изображения с соответствующих адресов (со смещением). Таким образом, IP ядро стабилизации изображений S-COR-10 представляет собой универсальный модуль, позволяющий применять его в любых проектах FPGA для систем технического зрения.

ВЕРСИИ ЯДРА

Версии IP ядра S-COR-10 представлены в таблице 1.

Таблица 1 – Версии IP ядра S-COR-10.

Версия	Описание
1.0	Первая версия IP ядра. Реализован высокопроизводительный корреляционный алгоритм 2D стабилизации изображений.

BASIC CHARACTERISTICS

IP ядро S-COR-10 осуществляет расчеты для стабилизации изображений. Основные характеристики ядра приведены в таблице 2.

Таблица 2 – Основные характеристики IP ядра S-COR-10.

Параметр	Значение и особенности
Максимальные размеры кадра видео	1024x1024 пиксела.
Минимальные размеры кадра видео	128x128 пиксела.
Точность определения смещения	2 пиксела для единичного смещения.
Максимальное смещение текущего кадра относительно предыдущего	32 пиксела в любом направлении.
Время вычислений	Не более 3 мс. для размера кадра 720x576 пикселей и не более 10 мс. для размера кадра 1024x1024 пикселей при системной частоте проекта 200 MHz.
Требования к входной информации	Для нормальной работы IP ядра в кадрах видео движущиеся контрастные объекты должны занимать не более 20% площади кадра, а также не менее 20% площади кадра должны занимать контрастные объекты фона.

Примечание: данные приведены FPGA Kintex-7.

ОПИСАНИЕ И ПРИНЦИП РАБОТЫ

Ядро представляет собой законченный модуль, предназначенный для использования в проектах FPGA систем технического зрения. Ядро работает по следующему принципу. На

ядро поступает потоковое видео (очередные кадры видео). Ядро принимает видеoinформацию и укладывает во внутреннюю память после предварительной обработки. После того, как очередной кадр видео принят, ядро выполняет вычисления смещения текущего кадра видео относительно предыдущего. После вычисления смещения текущего кадра относительно предыдущего, производится обработка вычисленных значений смещения для компенсации плавных перемещений поля зрения источника видео. Обработанные координаты смещения кадра видео выдаются по выходному интерфейсу потребителю.

ОБЛАСТЬ ПРИМЕНЕНИЯ И ИСПОЛЬЗУЕМЫЕ ПЛАТФОРМЫ

Ядро может применяться в любых областях технического зрения, как в охранных системах видеонаблюдения, так и в специальных роботизированных системах технического зрения. Простой интерфейс обмена информацией с ядром позволяет легко интегрировать его в любой проект FPGA. Ядро поставляется по заказу с указанием типа FPGA. Ядро передается заказчику в синтезированном виде для конкретного типа FPGA по лицензии. Ядро разработано для FPGA фирмы Xilinx и поддерживает следующие их семейства:

Artix-7, Artix-7Q;
 Zenq-7, Zenq-7Q;
 Kintex-7, Kintex-7Q;
 Virtex-7, Virtex-7Q;
 Virtex-6, Virtex-6Q;
 Spartan-6;
 Virtex-5Q, Virtex-5QV;
 Virtex-4Q, Virtex-4QV.

ПОСЛЕДОВАТЕЛЬНОСТЬ ИСПОЛЬЗОВАНИЯ

Для использования IP ядра S-COR-10 разработчик должен обеспечить требуемый формат и порядок передачи ядру видеoinформации. После запуска ядро должно быть сконфигурировано. Конфигурирование ядра заключается в записи значений ширины и высоты обрабатываемых кадров видео. После того, как ядру передана конфигурационная информация (ширина и высота кадров видео) можно начинать передачу ядру видеoinформации. Видеoinформация ядру передается непрерывно в соответствии с описанием интерфейса обмена информацией и по мере поступления от источника видео. Ядро само выбирает необходимые данные и осуществляет обработку. Ядро выдает информацию о смещении кадров видео по мере обработки и не позднее заявленных в характеристиках временных интервалов после поступления очередного кадра видео. Подробное описание использования ядра приведено ниже.

ПРОИЗВОДИТЕЛЬНОСТЬ

Характеристики IP ядра, приведенные в таблице 2, рассчитаны по результатам испытаний на FPGA Xilinx Kintex-7. Характеристики быстродействия в значительной степени зависят от типа используемого FPGA и частоты обновления изображений. В таблице 3 приведены характеристики производительности ядра и их особенности.

Table 3 – Основные характеристики IP ядра S-COR-10 и их особенности.

Parameter	Values and notes
Максимальные размеры кадров видео	Ядро способно обрабатывать кадры размером 1024x1024 пикселей, при этом для использования ядра с тем или иным разрешением кадров необходимо только соответствующим образом сконфигурировать его при запуске.
Минимальные размеры кадров видео	Минимальные размеры кадров видео для ядра составляют 128x128 пикселей. Разрешения кадров видео ниже допустимых приведет к некорректной работе ядра.
Точность определения	Точность выходных данных смещений по горизонтали и

Parameter	Values and notes
смещения	вертикали составляет 2 пиксела для единичного смещения. При условии постоянного перемещения поля зрения источника видео выходная информация будет скомпенсирована относительно такого перемещения и точность выходных координат может быть меньше в направлении плавного движения поля зрения источника видео.
Максимальное смещение текущего кадра относительно предыдущего	32 пиксела в любом направлении за кадр. Смещение текущего изображения относительно предыдущего более чем на 32 пиксела в любом направлении приведет к некорректной работе ядра.
Время вычислений	Не более 3 мс после подачи сигнала нового кадра (для очередного кадра) при размерах кадра 720x576 и не более 10 мс. для размеров кадров 1024x1024 пиксела. При системной частоте проекта 200 МГц. При меньшей системной частоте проекта, время вычислений увеличивается пропорционально уменьшению частоты проекта (тактовой частоты).
Требования к входной информации	На изображениях не более 20% площади кадра контрастных движущихся объектов и не менее 20% площади кадра контрастных неподвижных объектов фона. Контрастными объектами считаются объекты у которых цифровой контраст их изображений на кадра видео превышает 15%. При недостаточном количестве контрастных объектов на входных изображениях может привести к большим ошибкам определения смещения изображения

Примечание: данные приведены FPGA Kintex-7.

ТРЕБУЕМЫЕ РЕСУРСЫ

В таблице 4 приведены требуемые для IP ядра S-COR-10 ресурсы для различных семейств FPGA фирмы Xilinx.

Таблица 4 – Требуемые для IP ядра S-COR-10 ресурсы.

FPGA микросхема	Slice Registers	Slice LUTs	BRAM
Kintex-7 xc7k325t-2ffg676	2068/407600 (<1%)	2834/203800 (1.3%)	112/445 (25.1%)
Artix-7 xc7a100t-2ffg676	2068/126800 (1.8%)	2831/53400 (5.3%)	112/135 (82.9%)
Virtex-7 xc7vx330t-2ffg1157	2068/408000 (<1%)	2834/204000 (1.3%)	112/750 (14%)

ТРЕБОВАНИЯ К ПРОЕКТУ FPGA

Специальных требований к организации проекта FPGA не предъявляется. Разработчик должен соблюдать последовательность конфигурирования ядра. Видеоинформация должна записываться в соответствии с описанием интерфейса. Передача информации конфигурирования и прием информации от ядра осуществляется по стандартному интерфейсу UART.

ОПИСАНИЕ ИНТЕРФЕЙСА

На рисунке 1 представлен интерфейс взаимодействия с IP ядром S-COR-10.

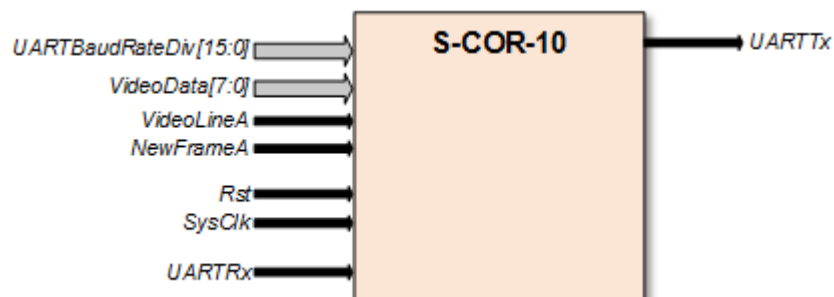


Рисунок 1 – интерфейс взаимодействия с IP ядром S-COR-10

Назначение всех вводов и выводов представлено в таблице 5.

Таблица 5 – Назначение вводов и выводов IP ядра S-COR-10.

Название сигнала	Назначение и описание
<i>SysClk</i>	Тактовый сигнал для ядра. Все сигналы для ядра (управление, конфигурация, сброс и др.) должны быть синхронны <i>SysClk</i> .
<i>Rst</i>	Сигнал сброса ядра. Сигнал должен быть синхронным с <i>SysClk</i> и длиться 1 такт. Сигнал сброса применяется в начале работы ядра 1 раз до передачи конфигурационной информации.
<i>UARTRx</i>	<i>UART</i> для передачи данных конфигурирования в ядро.
<i>UARTBoundRateDiv[15:0]</i>	Делитель частоты <i>SysClk</i> для <i>UARTRx</i> и <i>UARTTx</i> .
<i>VideoData[7:0]</i>	Видеоданные. 1 байт данных за 1 такт <i>SysClk</i> . Видеоданные должны передаваться в формате 8 бит на пиксел (mono_8). Видеоданные должны передаваться по линиям изображений (линии должны идти последовательно). Это означает, что передаются непрерывные данные для каждой линии изображения. При передаче очередной линии в активном состоянии должен находиться сигнал <i>VideoLineA</i> (строб линии данных).
<i>VideoLineA</i>	Строб данных линии.
<i>NewFrameA</i>	Сигнал начала нового кадра. Длительность сигнала <i>NewFrameA</i> должна быть равна 1 такту сигнала <i>SysClk</i> . По этому сигналу ядро начинает
<i>UARTTx</i>	<i>UART</i> для передачи данных смещения из ядра.

Все интерфейсы обмена информации синхронны с сигналом *SysClk*. На рисунке 2 представлены временные диаграммы обмена информацией по интерфейсам ядра S-COR-10.

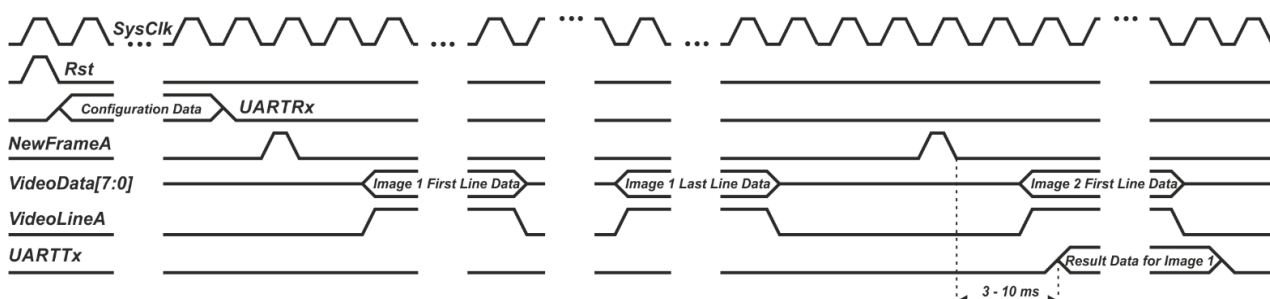


Рисунок 2 – Временные диаграммы обмена информацией по интерфейсам ядра S-COR-10

КОНФИГУРИРОВАНИЕ ЯДРА

Перед началом работы IP ядро S-COR-10 должно быть сконфигурировано. Конфигурирование ядра заключается в записи конфигурационных регистров через интерфейс *UARTRx* после сигнала сброса *Rst*. Конфигурационная информация содержит ширину и высоту обрабатываемых изображений. В таблице 6 представлен формат конфигурационных данных.

Таблица 6 – Parameters of the IP core available for setting.

Байт №	0	1	2	3
Значение	W старший байт	W младший байт	H старший байт	H младший байт

W – ширина обрабатываемого изображения. Формат: unsigned short int;

H – высота обрабатываемого изображения. Формат: unsigned short int.

ВЫХОДНАЯ ИНФОРМАЦИЯ

Информацию от IP ядра S-COR-10 можно получить по линии *UARTTx*. Формат выходных данных представлен в таблице 7.

Таблица 7 – Формат выходных данных.

Byte №	0	1	2	3	4	5
Value	W ст. байт	W мл. байт	H ст. байт	H мл. байт	dX	dY

W – ширина обрабатываемого изображения. Формат: unsigned short int;

H – высота обрабатываемого изображения. Формат: unsigned short int.

dX – горизонтальное смещение. Format: signed char;

dY – вертикальное смещение. Format: signed char.

Направление смещений изображения соответствует оконной системе координат (начало координат в левом верхнем углу изображения).

ПОДКЛЮЧЕНИЕ ЯДРА К ПРОЕКТУ FPGA

Ввиду того, что ядро поставляется для FPGA фирмы Xilinx, то порядок подключения IP ядра S-COR-10 приведен для IDE ISE 14.7. Ядро представляет собой файл с расширением *.ngc и файл с расширением *.v (по запросу может поставляться *.vhdl) (S_COR_10.ngc, S_COR_10.v (.vhdl)). Файл S_COR_10.ngc – это синтезированное ядро. Файл S_COR_10.v (.vhdl) – это оболочка, где прописаны входы и выходы ядра. Ниже приведен порядок использования ядра в проекте FPGA с верхним уровнем HDL в IDE Xilinx ISE 14.7.

Скопировать файл S_COR_10.v (.vhdl) в папку вашего проекта.

Добавить в проект файл S_COR_10.v (.vhdl).

Разместить в верхнем модуле экземпляр ядра.

Соединить входы и выходы ядра с инфраструктурой проекта.

В параметре синтеза проекта «Cores Search Directories» указать путь к папке с файлом S_COR_10.ngc.

После сброса модуля он конфигурируется для работы с изображениями размером 720x576 (default) пикселей и может сразу использоваться. В случае работы с другими размерами изображений после сброса требуется сконфигурировать ядро по интерфейсу UART в соответствии с приведенным в разделе «КОНФИГУРИРОВАНИЕ ЯДРА» протоколом.

Для ускорения интеграции ядра в готовые проекты с ядром поставляется модуль контроллера буфера кадра BRAMFrameController.v вместе с файлом Xilinx CoreGen FrameBRAM.xco. Файл FrameBRAM.xco поставляется в качестве образца памяти кадра, основанной на блочной памяти FPGA.

КОНТАКТЫ



ООО «РИФТЕК» – частное предприятие, занимающееся разработкой и производством оптоэлектронных приборов для измерения геометрических величин.

Логойский тракт 22-311, 220090 Минск, Республики Беларусь

Тел./факс: +375 17 281-35-13; +375 17 281-36-57

GSM: +375 29 655-72-55

e-mail: info@riftek.com; sales@riftek.com

Сайт: www.riftek.com